

Substrate for semiconductor chip package

Patent Number:

Publication date: 2002-06-11

Inventor(s): MA SHU-JUNG (TW)

Applicant(s): ADVANCED SEMICONDUCTOR ENGINEE (TW)

Requested Patent: TW490818

Application Number: TW20000118869 20000913

Priority Number(s): TW20000118869 20000913

IPC Classification: H01L23/00

EC Classification:

Equivalents:

Abstract

A kind of substrate for semiconductor chip package is disclosed in the present invention, in which the upper surface of the substrate contains a chip covering-region for carrying the chip, a grounding ring, and a power source ring. A plurality of the first contact pads, which are located just below the grounding ring and the periphery of the power source ring, and the second contact pads, which are installed by surrounding a plurality of the first contact pads, are formed on the lower surface of the substrate. It is noted that these plural first contact pads are divided into two sets, in which the first set is electrically connected to the grounding ring and the second set is electrically connected to the power source ring. It is better to have plural dummy pads installed just below the chip covering region boundary and a plurality of the third contact pads just below the chip covering-region on the lower surface of the substrate

THIS PAGE BLANK (USPTO)

[11]公告編號：490818

[44]中華民國 91年(2002) 06月11日

發明

全10頁

[51] Int.Cl.⁰⁷ : H01L23/00

[54]名稱：半導體晶片封裝基板

[21]申請案號：089118869

[22]申請日期：中華民國 89年(2000) 09月13日

[72]發明人：

馬淑蓉

高雄市楠梓區後昌路二四三號

[71]申請人：

日月光半導體製造股份有限公司

高雄市楠梓區加工出口區經三路二十六號

[74]代理人：花瑞銘 先生

1

2

[57]申請專利範圍：

1.一種半導體晶片封裝基板，其具有一上表面及一下表面，其中：

該基板上表面包含一晶片覆蓋區、一接地環(ground ring)以及一電源環(power ring)；

該基板下表面包含複數個第一接墊(contact pad)以及第二接墊，該複數個第一接墊係位於該接地環以及電源環週邊的正下方，該複數個第二接墊係環繞該複數個第一接墊而設，

其中該複數個第一接墊係分為兩組，第一組係電性連接至接地環，而第二組係電性連接至電源環。

2.依申請專利範圍第1項之半導體晶片封裝基板，其中該複數個第一接墊之第一組以及第二組大致上係彼此交錯排列。

3.依申請專利範圍第2項之半導體晶片封裝基板，其另包含複數個第三接

墊設於該基板下表面對應於晶片覆蓋區下之位置，其中至少留有一定之距離在該複數個第三接墊與晶片覆蓋區邊界之間。

5. 4.依申請專利範圍第3項之半導體晶片封裝基板，其另包含複數個虛墊(dummy pad)設於該基板下表面對應於該晶片覆蓋區邊界正下方之位置。

10. 5.依申請專利範圍第2項之半導體晶片封裝基板，其另包含複數個虛墊(dummy pad)設於該基板下表面對應於該晶片覆蓋區邊界正下方之位置。

15. 6.依申請專利範圍第1項之半導體晶片封裝基板，其另包含複數個第三接墊設於該基板下表面對應於晶片覆蓋區下之位置，其中至少留有一定之距離在該複數個第三接墊與晶片覆蓋區邊界之間。

20.

- 7.依申請專利範圍第6項之半導體晶片封裝基板，其另包含複數個虛墊(dummy pad)設於該基板下表面對應於該晶片覆蓋區邊界正下方之位置。
- 8.依申請專利範圍第1項之半導體晶片封裝基板，其另包含複數個虛墊(dummy pad)設於該基板下表面對應於該晶片覆蓋區邊界正下方之位置。
- 9.一種球格陣列(BGA)封裝構造，其包含：
 - 一基板，具有一上表面及一下表面，該基板上表面包含一晶片覆蓋區、一接地環以及一電源環，該基板下表面包含複數個第一接墊以及第二接墊，該複數個第一接墊係位於該接地環以及電源環週邊的正下方，該複數個第二接墊係環繞該複數個第一接墊而設，其中該複數個第一接墊係分為兩組，第一組係電性連接至接地環，而第二組係電性連接至電源環；
 - 複數個錫球設於該基板之複數個墊(pad)上；以及
 - 一半導體晶片設於該基板上表面之晶片覆蓋區，並且該晶片係電性連接至基板。
- 10.依申請專利範圍第9項之球格陣列封裝構造，其中該複數個第一接墊之第一組以及第二組大致上係彼此交錯排列。
- 11.依申請專利範圍第10項之球格陣列封裝構造，其另包含複數個第三接墊設於該基板下表面對應於晶片覆蓋區下之位置，其中至少留有一定之距離在該複數個第三接墊與晶片覆蓋區邊界之間。
- 12.依申請專利範圍第11項之球格陣列封裝構造，其另包含複數個虛墊設

- 於該基板下表面對應於該晶片覆蓋區邊界正下方之位置。
- 13.依申請專利範圍第10項之球格陣列封裝構造，其另包含複數個虛墊設於該基板下表面對應於該晶片覆蓋區邊界正下方之位置。
- 14.依申請專利範圍第9項之球格陣列封裝構造，其另包含複數個第三接墊設於該基板下表面對應於晶片覆蓋區下之位置，其中至少留有一定之距離在該複數個第三接墊與晶片覆蓋區邊界之間。
- 15.依申請專利範圍第14項之球格陣列封裝構造，其另包含複數個虛墊設於該基板下表面對應於該晶片覆蓋區邊界正下方之位置。
- 16.依申請專利範圍第9項之球格陣列封裝構造，其另包含複數個虛墊設於該基板下表面對應於該晶片覆蓋區邊界正下方之位置。
- 17.一種半導體晶片封裝基板，其具有一上表面及一下表面，其中：
 - 該基板上表面包含一晶片覆蓋區、一接地環以及一電源環；
 - 該基板下表面包含複數個第一接墊、第二接墊以及第三接墊，該複數個第一接墊係位於該接地環以及電源環週邊的正下方，該複數個第二接墊係環繞該複數個第一接墊而設，該複數個第三接墊係位於該晶片覆蓋區的正下方，
 - 其中該複數個第一接墊係全部電性連接至電源環，並且在該複數個第三接墊與晶片覆蓋區邊界之間至少留有一定之距離。
- 18.依申請專利範圍第17項之半導體晶片封裝基板，其另包含複數個第四接墊設於該基板下表面對應於該晶片覆蓋區邊界正下方之位置，其中該複數個第四接墊係全部電性連接

至接地環。

19.一種半導體晶片封裝基板，其具有一上表面及一下表面，其中：

該基板上表面包含一晶片覆蓋區、一接地環以及一電源環；

該基板下表面包含複數個第一接墊、第二接墊以及第三接墊，該複數個第一接墊係位於該晶片覆蓋區邊界正下方之位置，該複數個第二接墊係環繞該複數個第一接墊而設，該複數個第三接墊係位於該晶片覆蓋區的正下方，

其中該複數個第一接墊係全部電性連接至接地環，並且在該複數個第三接墊與晶片覆蓋區邊界之間至少留有一定之距離。

20.依申請專利範圍第19項之半導體晶片封裝基板，其另包含複數個第四接墊設於該基板下表面對應於該接地環以及電源環週邊正下方之位置，其中該複數個第四接墊係全部電性連接至電源環。

21.一種球格陣列(BGA)封裝構造，其包含：

一基板具有一上表面及一下表面，該基板上表面包含一晶片覆蓋區、一接地環以及一電源環，該基板下表面包含複數個第一接墊、第二接墊以及第三接墊，該複數個第一接墊係位於該晶片覆蓋區邊界正下方之位置，該複數個第二接墊係環繞該複數個第一接墊而設，該複數個第三接墊係位於該晶片覆蓋區的正下方，其中該複數個第一接墊係全部電性連接至接地環，並且在該複

數個第三接墊與晶片覆蓋區邊界之間至少留有一定之距離；

複數個錫球設於該基板之複數個墊(pad)上；以及

5. 一半導體晶片設於該基板上表面之晶片覆蓋區，並且該晶片係電性連接至基板。

22.依申請專利範圍第19項之球格陣列封裝構造，其另包含複數個第四接墊設於該基板下表面對應於該接地環以及電源環週邊正下方之位置，其中該複數個第四接墊係全部電性連接至電源環。

圖式簡單說明：

15. 第1圖：習用球格陣列(BGA)封裝構造之剖面圖；

第2圖：第1圖習用BGA封裝構造之下視圖；

20. 第3圖：根據本發明第一較佳實施例之BGA封裝構造之下視圖；

第4圖：根據本發明第3圖之BGA封裝構造的局部剖面圖；

第5圖：根據本發明第二較佳實施例之BGA封裝構造之下視圖；

25. 第6圖：根據本發明第三較佳實施例之BGA封裝構造之下視圖；

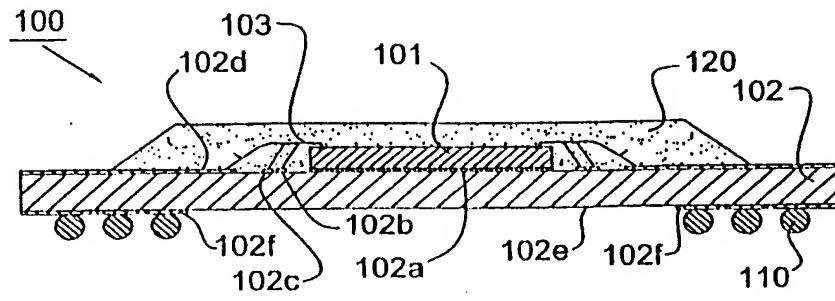
第7圖：根據本發明第四較佳實施例之BGA封裝構造之下視圖；

30. 第8圖：根據本發明第五較佳實施例之BGA封裝構造之下視圖；

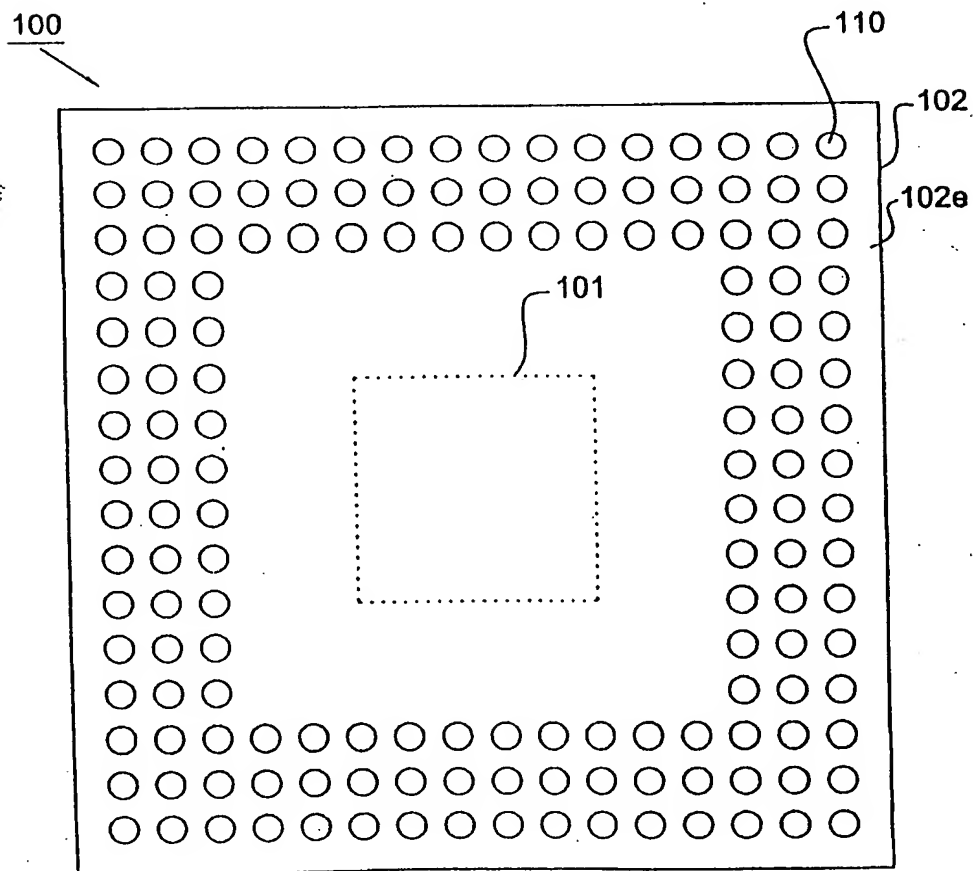
第9圖：根據本發明第六較佳實施例之BGA封裝構造之下視圖；及

第10圖：根據本發明第七較佳實施例之BGA封裝構造之下視圖。

35.

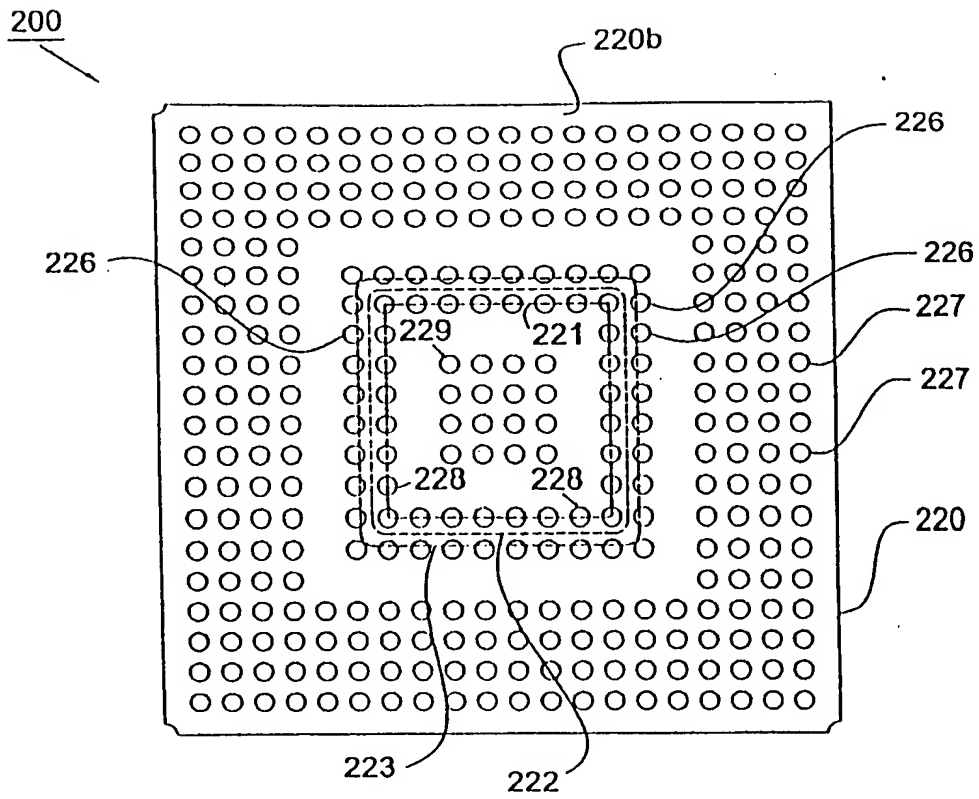


第 1 圖

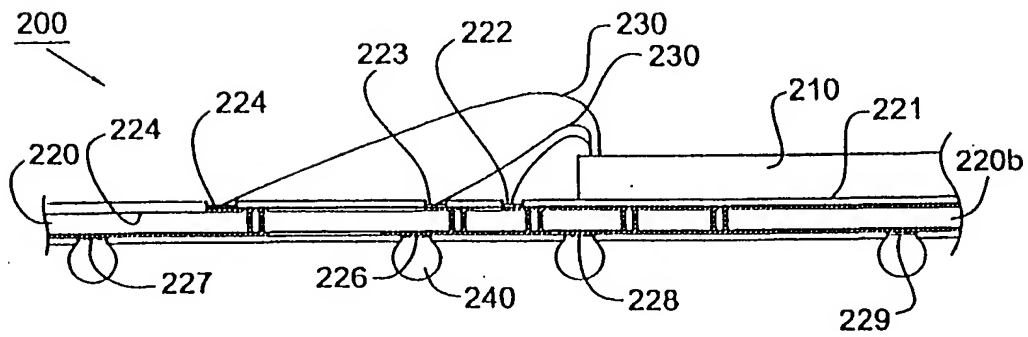


第 2 圖

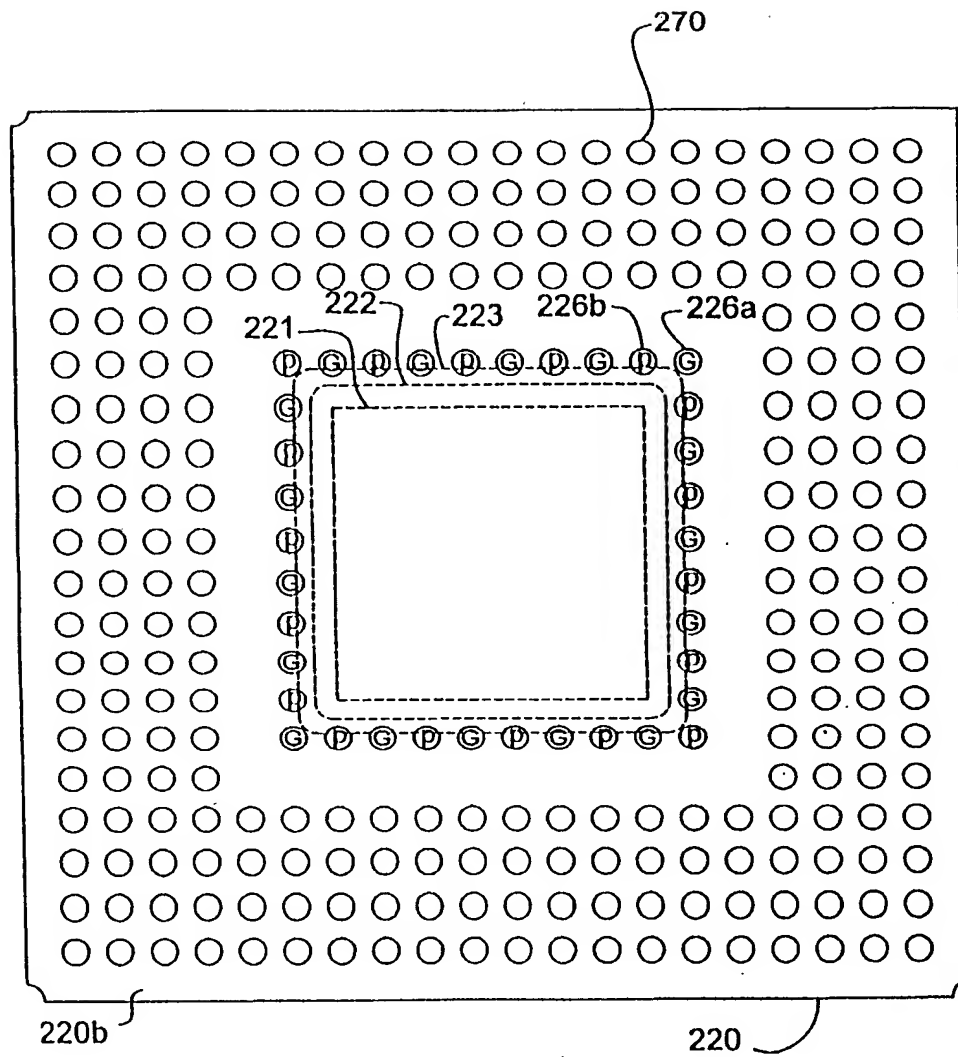
(5)



第 3 圖

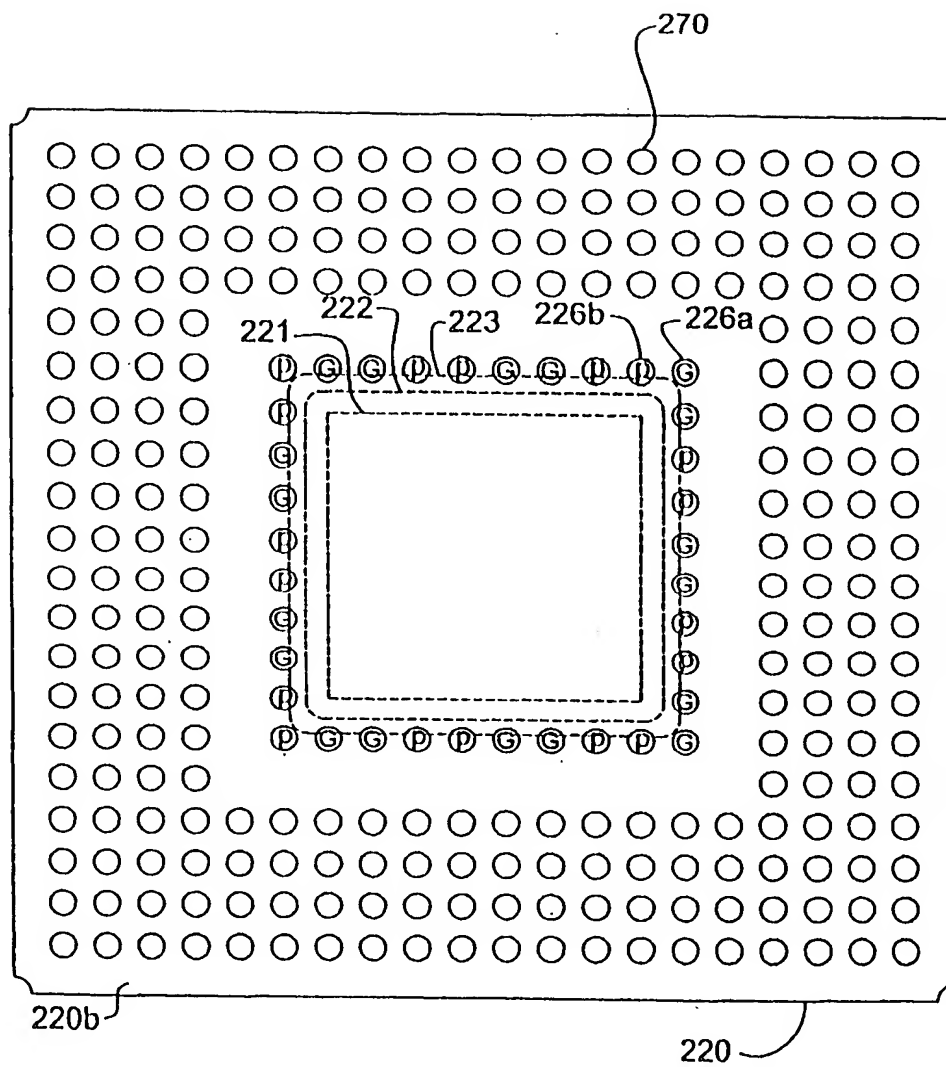


第 4 圖

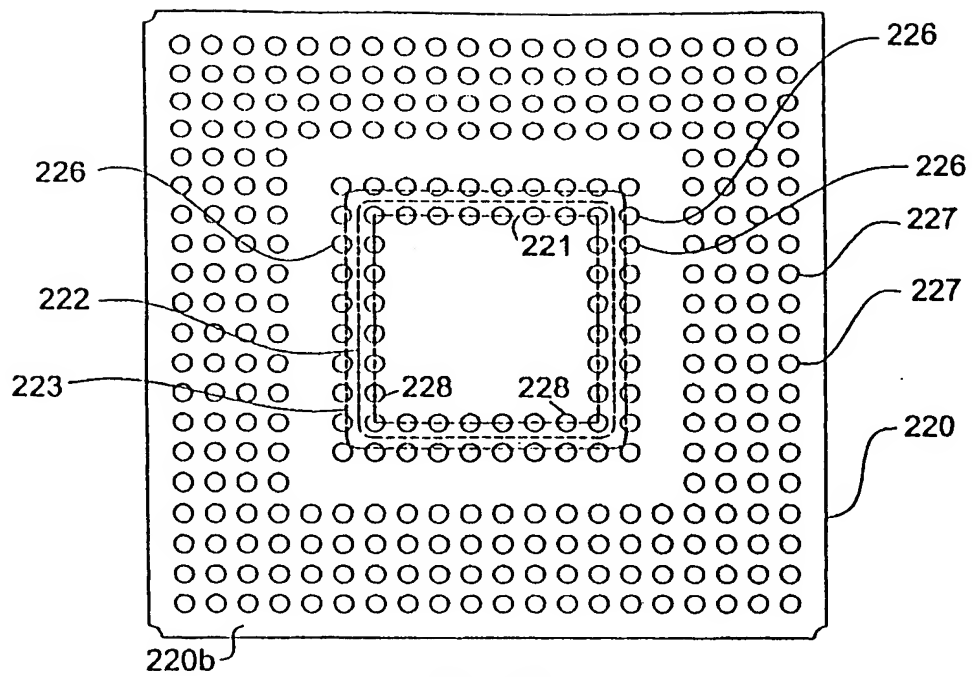


第 5 圖

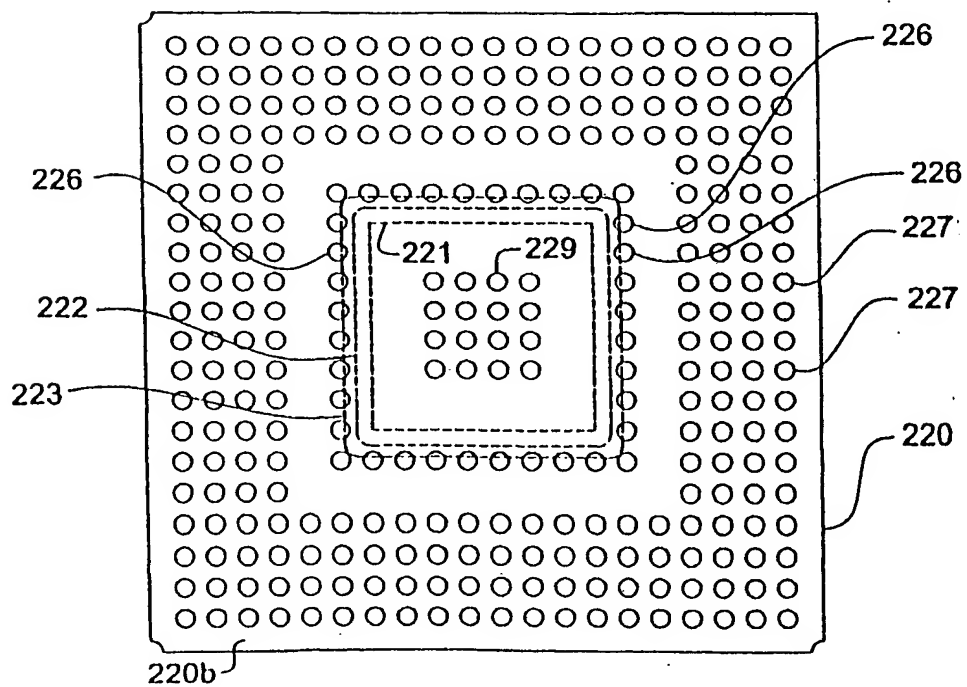
(7)



第 6 圖

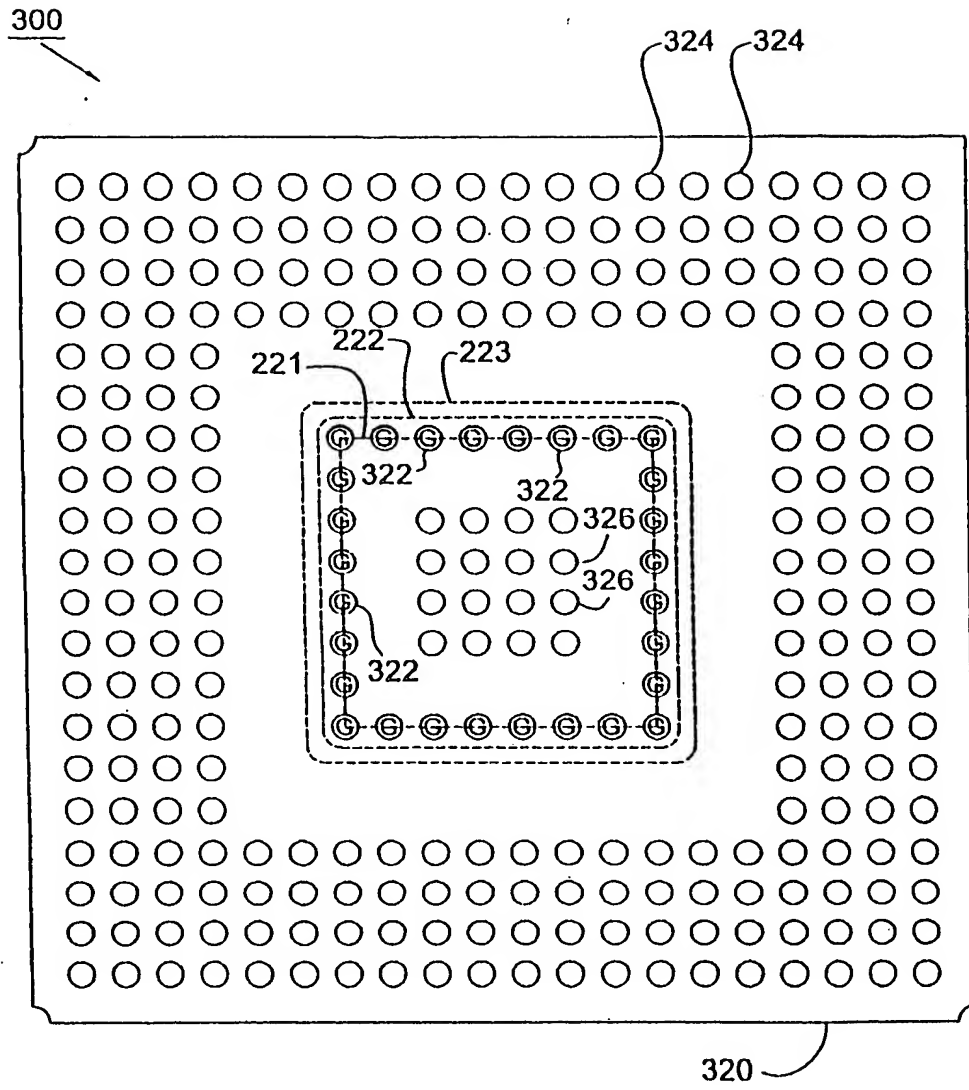


第 7 圖

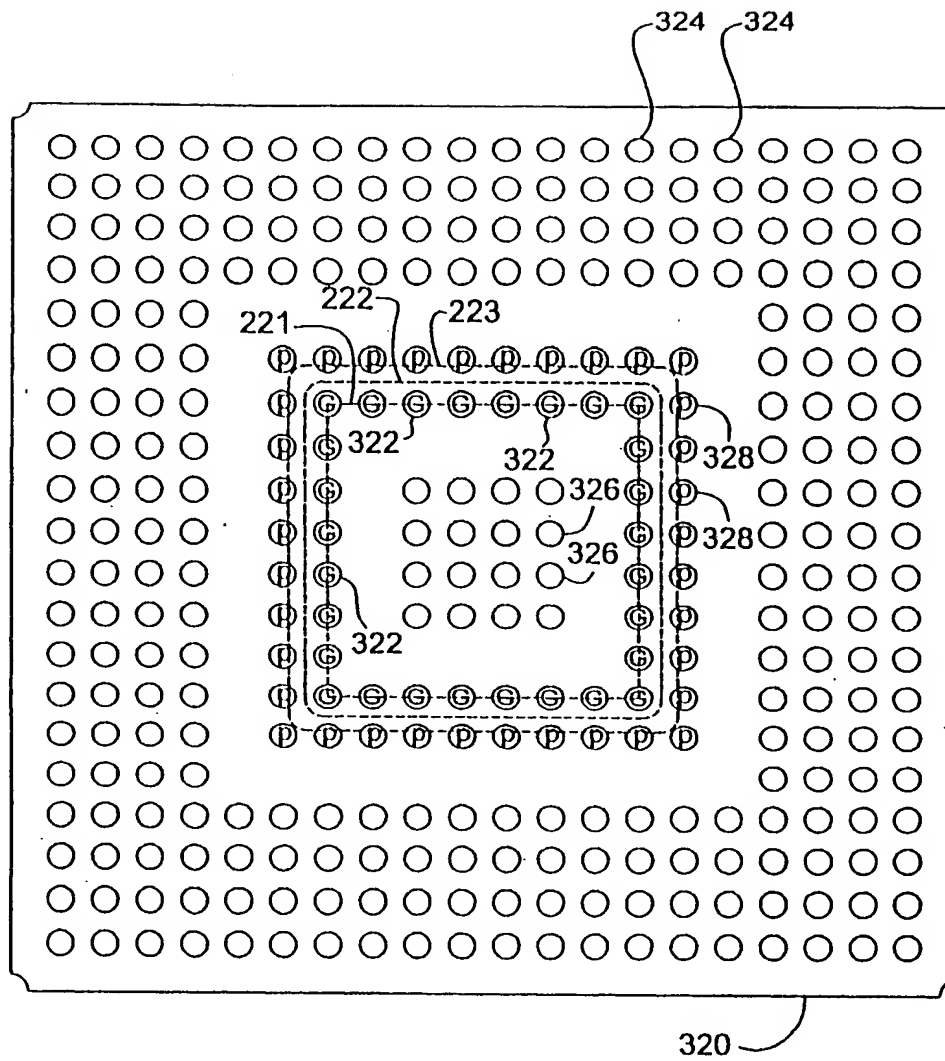


第 8 圖

(9)



第 9 圖



第 10 圖